

# Universität Stuttgart

Institute of Robust Power  
Semiconductor Systems

Contact:

Aline Reck

[aline.reck@ilh.uni-stuttgart.de](mailto:aline.reck@ilh.uni-stuttgart.de)

Pfaffenwaldring 47, 70569 Stuttgart

Room 1.444

14.08.2024



Bachelor Thesis /  
Study Thesis /  
Master Thesis

Start: immediately

PE

## Optimierung von GaN- Transistormodelle n für mehr Effizienz

Galliumnitrid (GaN)-Transistoren mit hoher Elektronenbeweglichkeit (HEMTs) sind für Hochfrequenz- und Leistungselektronikanwendungen von entscheidender Bedeutung. Das Advanced Spice Model (ASM) für HEMTs bietet eine detaillierte Darstellung ihres Verhaltens, aber seine Komplexität führt zu rechnerischen Herausforderungen aufgrund der großen Anzahl von Knoten und Parametern.

Diese Arbeit zielt darauf ab, das ASM-HEMT-Modell zu vereinfachen, indem Codesegmente des Verilog-A-Codes, die minimale Auswirkungen auf das simulierte Transistorverhalten (z. B. Ausgangscharakteristik) haben, identifiziert und entfernt werden und indem der Parametersatz unter Beibehaltung der Genauigkeit reduziert wird. Das Ziel ist die Entwicklung eines effizienteren Modells für Simulationszwecke.

### Aufgaben

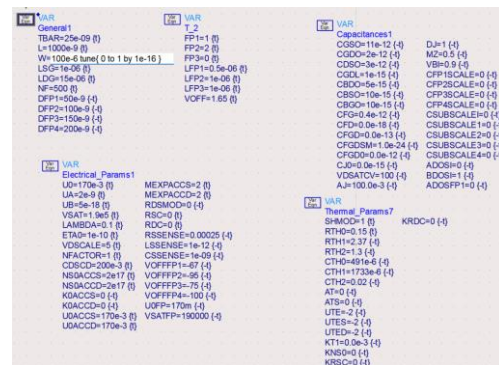
- Erkundung von Techniken zur Vereinfachung von HEMT-Modellen.
- Analyse des ASM-HEMT-Modells zur Identifizierung weniger wichtiger Komponenten und Bewertung der Parameterempfindlichkeit.
- Umsetzung der Modellvereinfachung.
- Validierung des vereinfachten Modells anhand des ursprünglichen ASM-HEMT-Modells und experimenteller Daten.

### Ziel

- Vereinfachung des Transistormodells zur Verringerung der Komplexität bei gleichzeitiger Beibehaltung seiner Genauigkeit.

The work includes

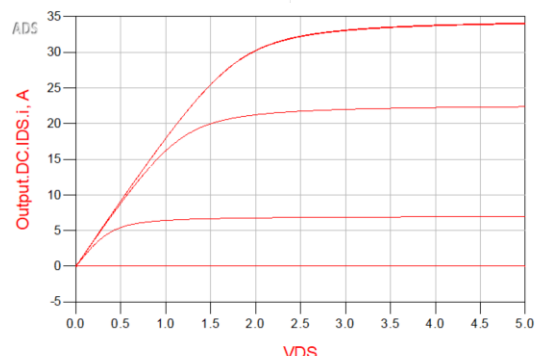
- Literature research
- Model Analysis
- Model Simplification
- Evaluation of the results
- Documentation of the work



Parameter list

Verilog-A code  
of Model in ADS

```
// Gate Current Model ///////////////
if (gatemod == 1) begin
  t0 = V(gi, si) / (njgs * KboQ * Tdev);
  t3 = igsdio + (Tdev / Tnom - 1.0) * ktgs;
  Igs = w * I * nf * abs(t3) * (lexp(t0) - 1.0);
  t0 = V(gi, di) / (njgd * KboQ * Tdev);
  t3 = igddio + (Tdev / Tnom - 1.0) * ktgd;
  Igd = w * I * nf * abs(t3) * (lexp(t0) - 1.0);
  I(gi, si) <+ Igs;
  I(gi, di) <+ Igd;
end
```



Output characteristics of transistor

